

电网电能质量远程监测系统设计

薛 萍¹, 王亚彬¹, 王 宇², 邹学州¹, 姚 娟¹

(1. 哈尔滨理工大学 自动化学院, 黑龙江 哈尔滨 150080;
2. 东莞中电九丰新能源热电有限公司, 广东 东莞 523000)

摘 要: 针对电能质量谐波检测时, 非同步采样会引起频谱泄露和谱间干扰的问题, 提出了一种基于 FPGA 的电网电能质量远程监测系统。本系统采用硬件锁相同步频率跟踪技术, 对三相电压、电流进行同步采样, 减少频谱泄露和谱间干扰, 采用 FPGA 片上 FFT IP 核实现 256 点的谐波运算, 同时利用 SOPC 技术嵌入 Nios II 软核处理器读取有效值和谐波运算结果, 通过 Marvell88E1111 以太网络芯片把数据传输到上位机, 对数据进一步处理与显示, 进而达到对电能质量参数远程监测的目的。

关键词: FFT; Nios II; 以太网; 电能质量; FPGA

DOI: 10.15938/j.jhust.2018.01.022

中图分类号: TM933 **文献标志码:** A **文章编号:** 1007-2683(2018)01-0122-05

Power Quality Remote Monitoring System Design

XUE Ping¹, WANG Ya-bin¹, WANG Yu², ZOU Xue-zhou¹, YAO Juan¹

(1. School of Automation, Harbin University of Science and Technology, Harbin 150080, China;
2. Dongguan JOVO China Power New Energy Thermal Power Company Limited, Dongguan 523000, China)

Abstract: This paper designed the power quality remote monitoring system based on FPGA. The system uses hardware phase-locked frequency tracking technology for Synchronous sampling of the three-phase voltage, current, reducing leakage and spectral interference between spectrums. This system uses FPGA's FFT IP core to complete 256 points of the harmonic operation and uses SOPC and Nios II soft-core embedded processor to read data collected and harmonic operation results, combining with Marvell88E1111 network chip to transmit data to the host computer. The host computer process and data further, thus achieving power quality parameters for remote monitoring purposes.

Keywords: FFT; Nios II; ethernet; power quality; FPGA

0 引 言

随着电力电子技术的发展和应用, 在输配电设

备中存在着大量的非线性的电力电子设备, 不可避免的产生谐波电流, 引起电压波形畸变, 严重的影响电力系统的正常运行, 因此需要对电能质量进行实时的监测分析^[1]。国内电能质量监测装置大多采

收稿日期: 2016-04-18

基金项目: 黑龙江省应用技术研究研发项目(GC13A412); 哈尔滨市科技创新人才项目(2016RQXXJ055)。

作者简介: 王亚彬(1990—), 男, 硕士研究生;

邹学州(1988—), 男, 硕士研究生。

通信作者: 薛 萍(1969—), 女, 教授, 硕士研究生导师, E-mail: 1043854913@qq.com.

用 DSP 作为主控制芯片与高精度 A/D 采集芯片配合使用的方案,使用 A/D 转换芯片对多路电流电压进行采集,通过 DSP 软件编程进行电能质量的分析。但是 DSP 是单线程运行方式,在对多点进行快速傅里叶变换时,实时性不高。随着 FPGA 技术的发展,其强大的并行处理能力逐渐凸现出来,本文提出了基于 FPGA 和 SOPC 系统的电能质量分析系统设计,将 Nios II 处理器与用户自定义逻辑结合构成一个基于 FPGA 的片上系统,大大减少了设计成本与时间^[2-4]。

本系统主控制 FPGA 采用 ALTERA 的 Cyclone IV EP4CE115F29 芯片进行设计,数据采集芯片采用 ADS8364,其能实现 16 位的路通道数据同步采样,硬件锁相倍频采用 CD4046 加分频器来实现,数据采集与存储、FFT 谐波运算、有效值运算、频率检测统一由有限状态机来进行时序控制,实现了对电网电能的频率、电压电流有效值、功率和各次谐波等电能参数的实时远程监测。

1 系统总体设计

本监测系统主要由信号调理模块、AD 转换模块、过零检测模块、锁相倍频模块、有限状态机模块、频率检测模块、FFT 模块、有效值模块、MAC 模块、以太网模块和上位机等模块组成。三相电压电流六路信号经过电压互感器和电流互感器将大电压大电流转换成弱电信号,然后进行数字抗混叠滤波电路处理,滤除对后续 FFT 产生干扰的高频谐波,最后通过电平提升电路将信号提升到 A/D 模块合适的输入量程,提供给数模转换模块进行转换和处理。同时经滤波后的另一路信号作为过零检测模块的输入信号,过零检测电路输出与电网频率相同的方波信号,并利用锁相倍频模块实现同步采样控制,A/D 转换模块对输入的工频信号每周期进行 256 点采样。频率检测模块对过零检测模块输出的方波信号进行检测,采用频率周期测量法,对电网频率进行测量。模数转换结果缓存在输入双口 RAM 中,并行 6 通道 FFT IP 核模块和有效值模块读取缓存数据并分别进行每路 256 点的快速傅里叶变换和有效值运算,将处理数据缓存在输出双口 RAM 中。当输入和输出双口 RAM 中数据准备完成后,以中断的方式通知 Nios II 处理器读取数据,并通过以太网的方式传输到上位机对数据进一步处理。系统总体设计如图 1 所示。

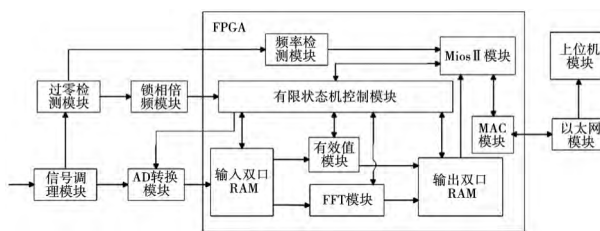


图 1 系统总体设计框图

2 主要功能模块设计

2.1 频率检测与锁相倍频模块

频率测量的方法一般有周期测量法、频率测量法、正交去调制法等方法^[5-7],其中周期测量法是高频的基准频率源 f_s 作为基准,用基准频率源对 N_x 个周波长度的待测信号计数,则根据计数值 N_s ,可得被测信号源频率 f_x 为 $f_x = (f_s N_x) / N_s$ 。由于电网频率在 50 Hz 左右,频率较低,并且本 FPGA 系统的工作时钟为 100 MHz,所以采用周期测量法可实现较高的测量精度。

由于电网的频率可能发生漂移,在 50 Hz 频率上下波动,为了保证对输入信号进行每周期 256 点采样,所以采用硬件锁相环对频率进行实时跟踪^[8-11],如图 2 所示。本锁相倍频模块由 CD4046 锁相环芯片和二进制计数器 CD4020 共同构成,过零检测模块输出的方波信号连接到 CD4046 的 Freq 输入端,CD4046 的输出端连接到 14 级二进制计数器 CD4020 的时钟引脚,然后通过 4 位拨码开关选择 Q7 ~ Q10 其中一个反馈到 CD4046 的输入引脚,进行设置 128、256、512、1024 四种倍频比,在此选择 256,进行 256 点采样,锁相倍频后信号最终由 PLL_out 端输出,这里锁相倍频电路的输出信号没有直接连接到 ADS8364 的触发引脚,而是输入到 FPGA,再由 FPGA 产生触发信号。所以 ADS8364 的采样触发频率约为 12.8 kHz $(50 \text{ Hz} \times 256 = 12.8 \text{ kHz})$ 。

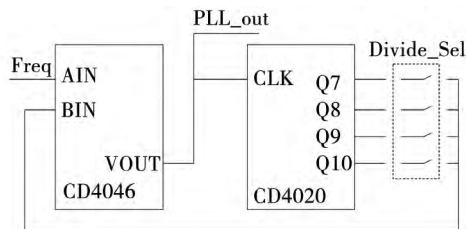


图 2 锁相倍频模块结构图

2.2 A/D 转换模块

ADS8364 包括 6 个 16 位, 250 kHz 的 ADC (模拟到数字转换器), 6 个全差分输入通道分成两对高速同步信号采集。输入到采样和保持放大器为全差分保持和保持差速器的输入 ADC, 在 50 kHz 的情况下提供了 80 dB 的共模抑制。该 ADS8364 提供了一个灵活的高速并行接口用直接地址方式, 一个循环, 和一个 FIFO 模式。每个通道输出数据为一个 16 位的字^[12-14]。6 个通道被分成 3 个通道对 A、B、C, 每个通道对的采样控制信号分别为 $\overline{HOLDA}$, $\overline{HOLDB}$, $\overline{HOLDC}$, 由于要进行 6 通道并行同步采样, 所以将 3 个控制信号连接在一起组成 $\overline{HOLDX}$, 统一进行采样控制。ADS8364 工作的 5 MHz 外部时钟由 FPGA 进行时钟分频获得, 完成一次采样转换最多需要 20 个时钟周期, 约为 4 μ s, ADS8364 的采样触发频率约为 12.8 kHz, 即每隔 78.1 μ s 进行一次触发采样, 完全满足采样要求。具体由时序逻辑控制采样过程为, 当采样触发信号上升沿到来时, 拉低 $\overline{HOLDX}$ 至少 20 ns, 启动采样 (6 个通道同时进行采样), 当转换完成后, 转换数据缓存在 6 个寄存器中, 将 $\overline{RD}$ 至少要拉低 50 ns, 完成一次读取操作, 并且在下一次读取操作前要至少保持 30 ns 的高电平, 读取模式设置为循环周期读取模式, 所以通过 6 次拉低拉高 $\overline{RD}$ 信号来实现对 6 路转换的读取。ADS8364 的控制时序如图 3 所示。

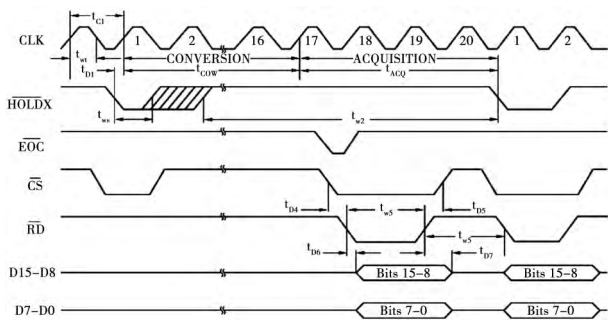


图3 ADS8364 的控制时序转换图

2.3 有限状态机与 FFT 模块

有限状态机控制模块实现对 AD 数据采集与转换、数据缓存、FFT 与有效值处理模块的控制。有限状态机的状态转移图如图 4 所示。锁相倍频触发信号到来之前, 一直处于初始状态 S0, 当检测到触发信号上升沿到来时进入 S1 状态, 拉低 $\overline{HOLDX}$ 一段时间, 启动 AD 转换, 随后无条件转入 S2 状态, 在 S2 状态循环等待 $\overline{EOC}$, 即进入数据转换状态, 当 $\overline{EOC}$ 变为低电平时, 表示转换结束, 无条件转入 S3 状态, 否

则在 S2 状态持续等待^[15]。在 S3 状态读取 AD 转换结果, 并存入输入双口 RAM 中。S3 在下一个时钟到来时进入 S4 状态, 在 S4 状态判断输入双口 RAM 是否存满, 若存满, 则发出存满指示信号, 进入 S5 状态, 否则持续 S2、S3、S4 状态直至存满 RAM。S5 状态输出启动信号, 用来启动 FFT 模块和有效值处理模块, 然后进入 S6 状态, 在 S6 状态等待 FFT 模块和有效值处理模块完成信号 finish 的到来, 随后进入 S7 状态, 输出高电平给 UNLOAD 信号, 卸载 FFT 模块变换得到的数据, 当 unload_over 信号为高电平说明卸载完成进入 S8 状态, 准备下一轮转换, 否则在 S7 状态持续等待。在 S8 状态对 CNT 开始计数, 若 CNT 等于 6, 对其清零并跳进 S4 状态, 若小于 6 则跳进 S5 状态。

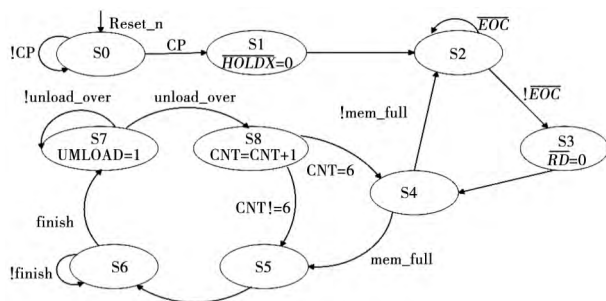


图4 有限状态机的控制状态转移图

FFT 模块使用的是 Altera 公司的 FFT IP 核, 目标器件选择 Cyclone IV 系列, 变换长度选择 256 点, 输入、输出位宽精度和旋转因子的位宽精度都选择 16 位。选用此 FFT IP 模块能够缩短 FPGA 的设计周期和成本, 提高系统的性能和可靠性。

2.4 以太网传输模块

以太网模块由数据链路层 (MAC) 和物理层 (PHY) 组成, 其中 MAC 使用的是 FPGA 提供的三速以太网 MAC IP 核控制器, PHY 物理层选择的是 Marvell 88E1111 千兆以太网网络芯片^[16]。MAC IP 核通过 Avalon 总线与 Nios II 处理器相连接, 当 Nios II 处理器对采集的数据进行预处理后, 通过 MAC 层根据 TCP/IP 协议栈对数据进行打包、组帧、校验等处理后, 通过 GMII 接口传输给物理层 PHY^[17-18], 将数据发送到上位机进行处理, 实现对电能参数的远程监控。其中 Nios II 处理器在网络传输中主要分为 3 个部分: 应用程序、TCP/IP 协议和驱动程序^[19], 应用程序由用户调用协议栈接口程序来实现以太网数据传输, 而以太网驱动程序为上层协议与三速以太网 IP 核架起了桥梁。千兆以太网设计框图如图 5 所示。

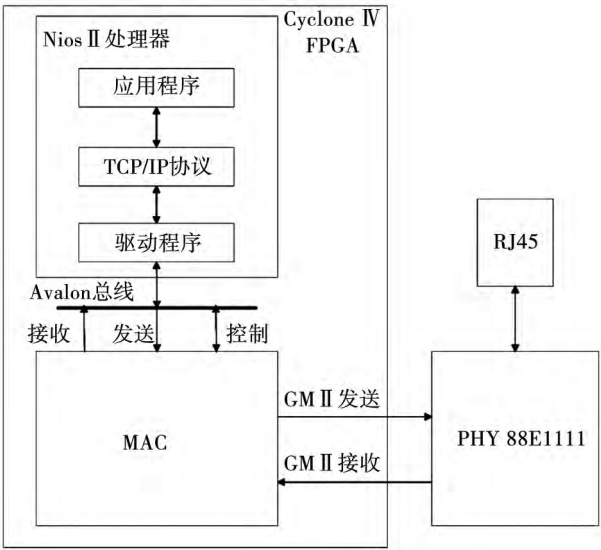


图 5 千兆以太网设计框图

3 系统软件设计

软件部分包括有限状态机控制模块程序、Nios II 处理器运行程序和上位机模块 3 个部分。有限状态机控制模块使用 Verilog HDL 语言进行编写,主要包括 AD 采样转换控制模块、输入输出 RAM 控制模块、FFT 控制模块、有效值控制模块等控制逻辑。数据采集与存储、FFT 与有效值运算都在有限状态机的控制下有序进行。Nios II 处理器运行程序由 C/C++ 语言编程实现,主要包括初始化模块、对中断的响应和对数据的以太网传输。当频率检测模块完成频率检测或是输出缓存存满时,以中断的方式通知 Nios II 处理器对数据进行读取,同时在 Nios II 处理器上嵌入应用程序、TCP/IP 协议和 PHY 芯片的驱动程序,来实现数据与上位机的传输。本系统的上位机采用的是美国 NI 公司开发的面向计算机测控领域的虚拟仪器软件开发平台 LabVIEW^[24],利用丰富的版面功能和库函数来实现电能质量参数的计算与直观显示。

4 测试实验及误差分析

利用本系统设计搭建实验平台,对电能质量参数:电压有效值、电流有效值、电网频率、电压谐波进行了测量,并与标准电能质量分析仪进行对比。表 1 为电压电流有效值对比结果,表 2 为电压谐波测量对比结果。

表 1 电压电流有效值对比结果

标准分析仪		实验平台		相对误差(100%)	
电压 /V	电流 /A	电压 /V	电流 /A	电压	电流
220. 4	6. 12	220. 6	6. 10	0. 091	0. 33
220. 8	6. 13	220. 5	6. 10	0. 135	0. 49
220. 8	6. 12	220. 4	6. 09	0. 181	0. 49
220. 7	6. 13	220. 5	6. 10	0. 091	0. 49
220. 6	6. 12	220. 8	6. 08	0. 091	0. 65

表 2 是电压谐波测量对比结果

谐波次数	标准分析 /V	实验平台 /V	相对误差(100%)
直流分量	4. 3	4. 1	4. 65
基波分量	320. 9	319. 2	0. 53
2 次谐波	2. 8	2. 7	3. 57
3 次谐波	8. 8	8. 4	4. 54
4 次谐波	1. 9	2. 0	5. 26
5 次谐波	4. 0	4. 3	7. 50
6 次谐波	1. 2	1. 4	16. 70
7 次谐波	1. 0	1. 2	20. 00
8 次谐波	0. 4	0. 2	50. 00
9 次谐波	0. 4	0. 7	75. 00
10 次谐波	0. 1	0. 2	100
10 ~ 15 次谐波	<0. 1	<0. 4	>100

由表 1 可以看出电压有效值测量误差小于 0. 2%, 电流有效值测量误差小于 0. 5%。表 2 可以看出,当谐波分量幅值较大时,测量精度较高,但对于较高次谐波,随着幅值减小,测量精度较差。其中对频率测量结果的相对误差小于 0. 02%, 精度较高,本文未列出具体的数值。

从以上对电能质量各个参数的测量可以看出,本系统仍然存在测量误差,精度不高的问题。可能与以下几个方面有关。第一是在信号调理模块利用电压互感器、电流互感器和滤波器对电压电流信号进行处理时,引入误差。第二是在利用 A/D 进行模数转换时,引入量化误差。第三点是对进行 FFT 的采样点数较少,如果增加采样点数如 512、1024 点进行采样,能够提高测量精度。

5 结 论

本文提出了一种基于 FPGA 的电能质量远程监测系统,分利用了 FPGA 强大的并行处理能力和高度集成的特点。运用硬件锁相环技术实现了对三相

电压电流的同步采样,在有限状态机的整体控制下对数据进行谐波和有效值运算,并利用千兆以太网芯片将数据传输到上位机进行处理与显示。实现了对电网电能的频率、电压电流有效值、功率和各次谐波等电能参数的实时远程监测。

参 考 文 献:

- [1] 李冬明,王厚志,高玺亮,等. 基于 LabVIEW 的电能质量监测系统研究 [J]. 哈尔滨理工大学学报,2012,17(4):57-63.
- [2] 梁海霞. 基于 FPGA 的电力系统谐波检测装置的研制 [D]. 济南:山东大学,2008.
- [3] 吕实诚,宋晓波,王晶. 基于网络的高精度数据采集卡设计 [J]. 哈尔滨理工大学学报,2012,17(2):22-26.
- [4] 郑飞,费树岷,周杏鹏. 基于 DSP 和 FPGA 的光伏并网控制器设计与实现 [J]. 电力自动化设备,2011,31(2):84-89.
- [5] 刘明. 电能质量检测算法研究与监测装置实现 [D]. 秦皇岛:燕山大学,2014:8-11.
- [6] 杨秀增. 基于 Nios II 的自适应高精度频率计设计 [J]. 自动化与仪表,2009,24(7):13-16.
- [7] 吴禹,唐求,滕召胜,等. 基于改进 S 变换的电能质量扰动信号特征提取方法 [J]. 中国电机工程学报,2016,36(10):2682-2689.
- [8] 王伟,张志文,罗隆福,等. 基于全数字锁相环的电网频率跟踪技术 [J]. 电力电子技术,2010,44(2):89-91.
- [9] 杨敦高,欧阳红林,刘昂. 新型锁相环在频率跟踪技术中的研究 [J]. 计算机测量与控制,2010,18(12):2809-2811.
- [10] 刘亚静,范瑜. 全数字硬件化锁相环参数分析与设计 [J]. 电工技术学报,2015,30(2):172-179.
- [11] 肖帅,孙建波,耿华,等. 基于 FPGA 实现的可变模全数字锁相环 [J]. 电工技术学报,2012,27(4):153-158.
- [12] 曲震宇,刘胜辉. 基于 CPLD 的高速数据采集系统控制模块的设计与实现 [J]. 哈尔滨理工大学学报,2006,11(3):75-77.
- [13] 刘桂英,栗时平,谢海丽,等. 广义有源电力滤波器指令电流检测的广义谐波理论法 [J]. 电力系统及其自动化学报,2015,27(11):34-39.
- [14] 王志伟,赵庆生,郭贺宏,等. 混合基 FFT 在电能质量监测装置中的应用 [J]. 水电能源科学,2015,33(4):189-192+188.
- [15] 郑争兵. 基于 FPGA 的高速采样缓存系统的设计与实现 [J]. 计算机应用,2012,32(11):3259-3261.
- [16] 韦宏,付友涛,孔凡鹏,等. 基于 FPGA 的千兆以太网设计 [J]. 现代电子技术,2012,35(18):56-59.
- [17] 于庆广,付之宝. 电能质量指标及其算法的研究 [J]. 电力电子技术,2007,41(1):10-12.
- [18] 李航. 基于 FPGA 和千兆以太网(GigE)的图像处理系统设计 [D]. 南京:南京理工大学,2014.
- [19] 陈必威,梁志毅,王延新,等. 基于 FPGA 的高帧速 CMOS 成像系统设计 [J]. 计算机测量与控制,2012(5):1397-1400.
- [20] 杨乐平,李海涛,杨磊. LabVIEW 程序设计与应用 [M]. 2 版. 北京:电子工业出版社,2005.

(编辑:温泽宇)